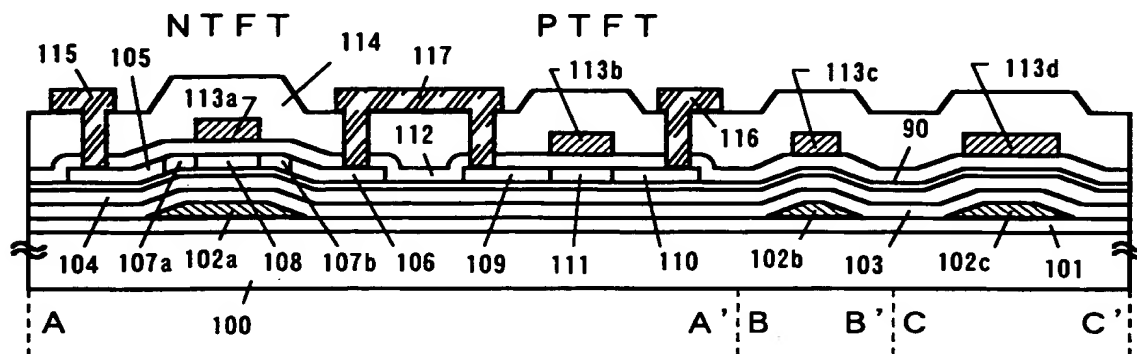
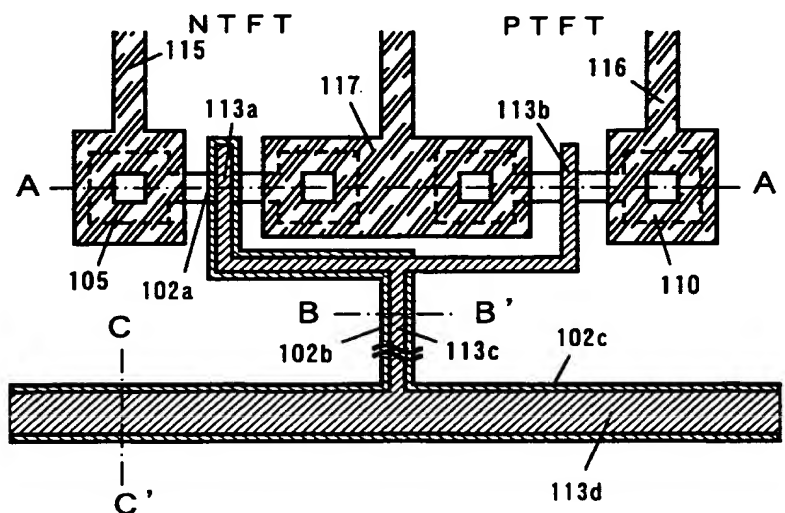


【書類名】 図面

【図1】



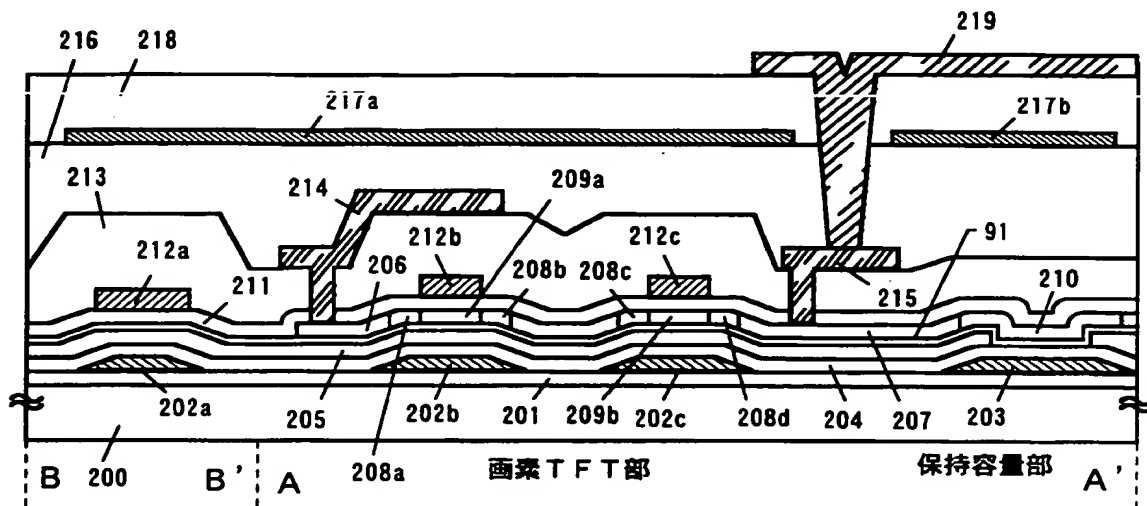
(A)



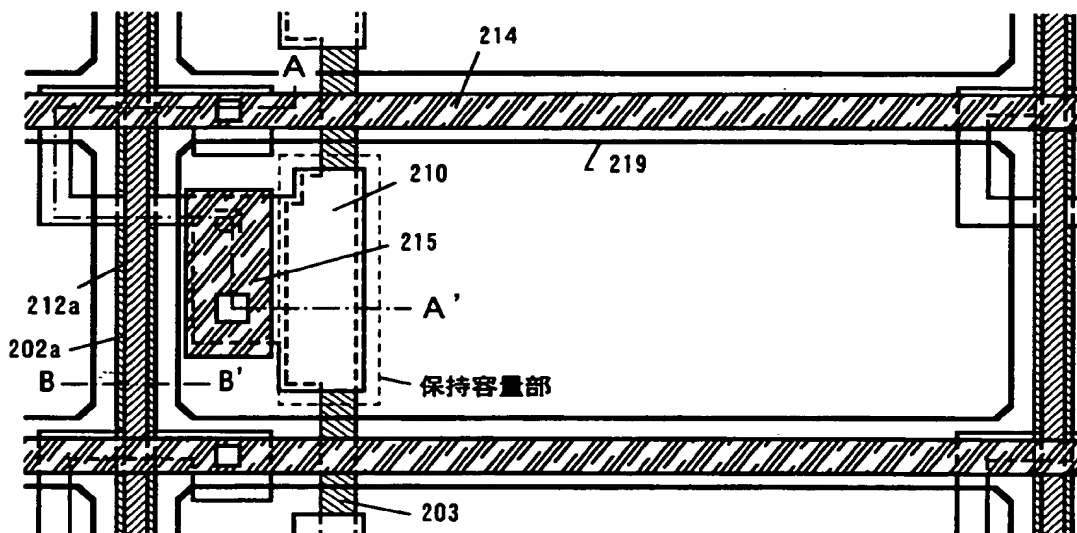
(B)

100:基板 101:下地膜 102a, 102b, 102c:第1配線 103:第1絶縁層
104:第2絶縁層 105:ソース領域(NTFT) 106:ドレイン領域(NTFT)
107a, 107b:低濃度不純物領域 108:チャネル形成領域(NTFT) 109:ソース領域(PTFT)
110:ドレイン領域(PTFT) 111:チャネル形成領域(PTFT) 112:第2絶縁層
113a, 113b, 113c, 113d:第2配線 114:第1層間絶縁層 115:ソース配線(NTFT)
116:ソース配線(PTFT) 117:ドレイン配線(NTFTとPTFTに共通)

【図2】



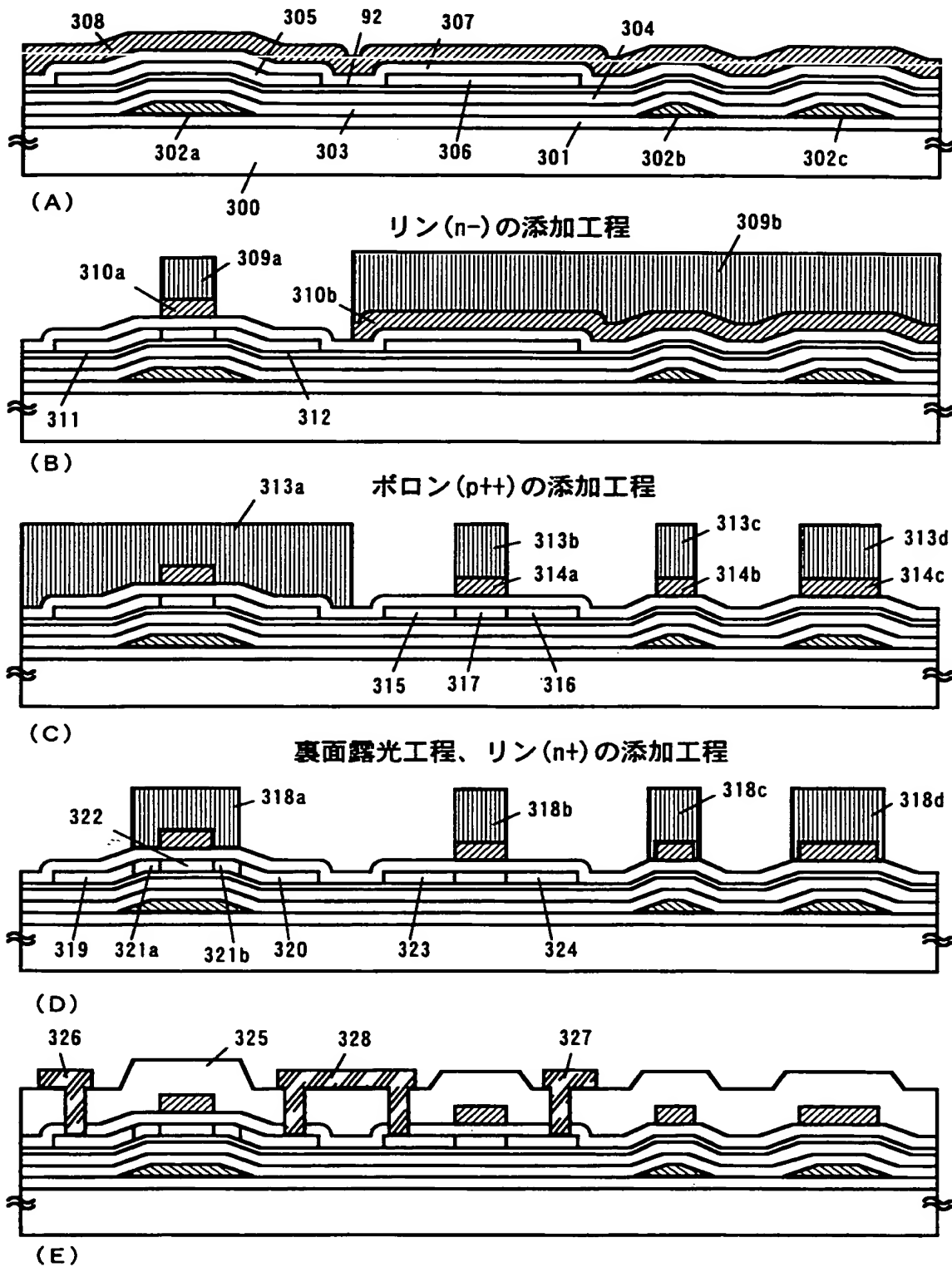
(A)



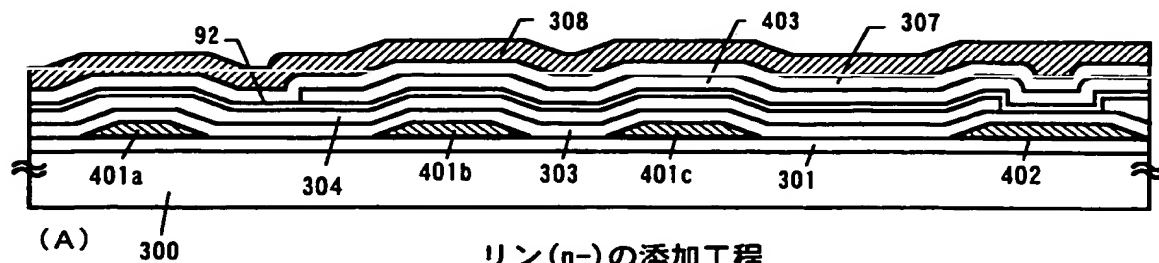
(B)

200:基板 201:下地膜 202a, 202b, 202c:第1配線 203:容量配線
 204:第1絶縁層(TaOx膜) 205:第2絶縁層 90:酸化珪素膜 206:ソース領域
 207:ドレイン領域 208a~208d:低濃度不純物領域 209a, 209b:チャネル形成領域
 210:容量用不純物領域 211:第3絶縁層 212a, 212b, 212c:第2配線
 213:第1層間絶縁層 214:ソース配線 215:ドレイン配線 216:第2層間絶縁層
 217a, 217b:ブラックマスク 218:第3層間絶縁層 219:画素電極

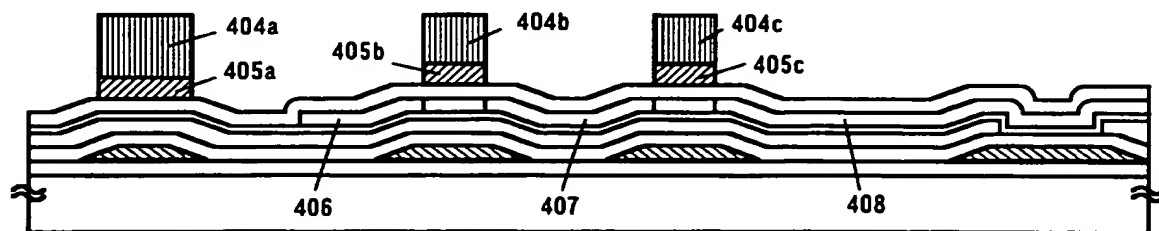
【図3】



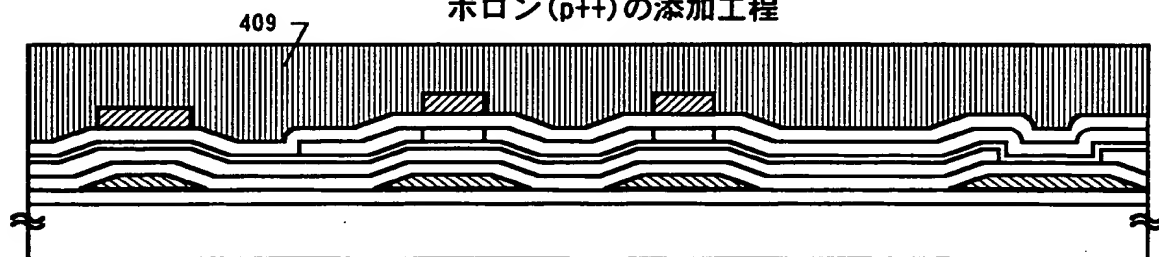
【図 4】



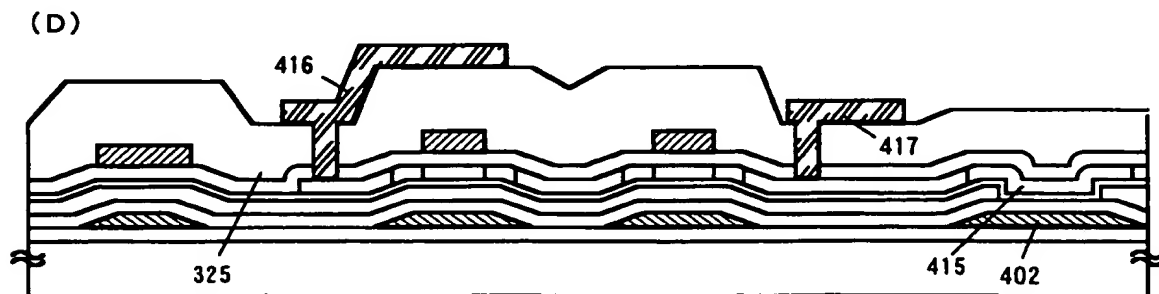
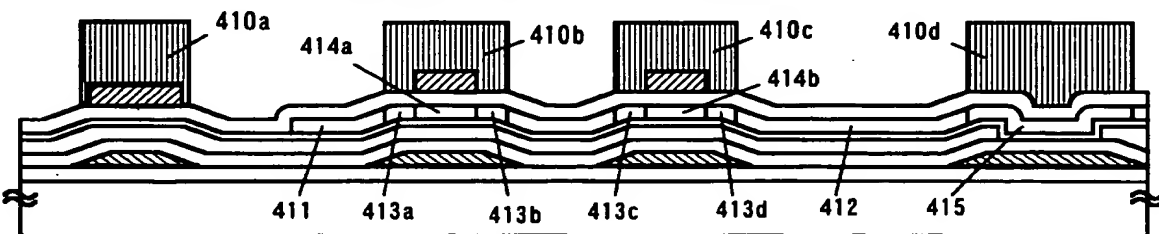
リン(n-)の添加工程



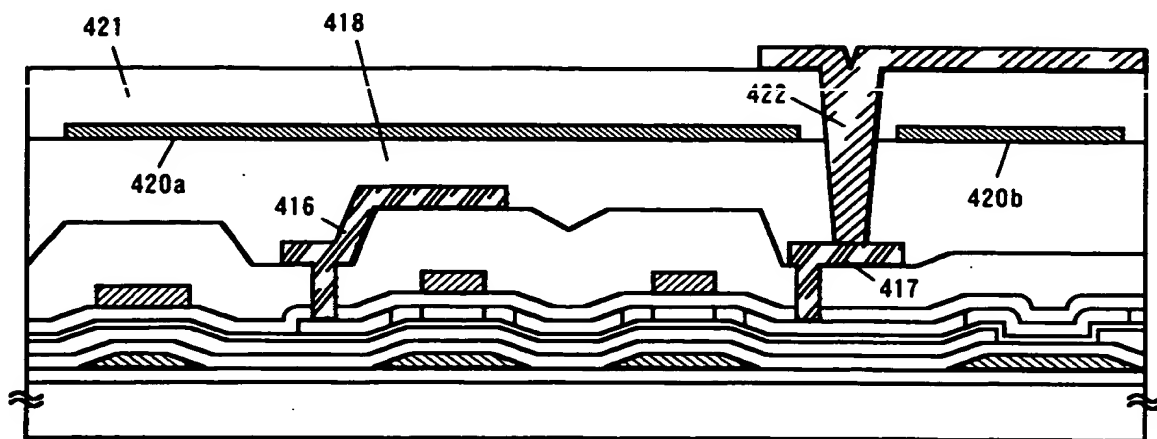
ボロン(p++)の添加工程



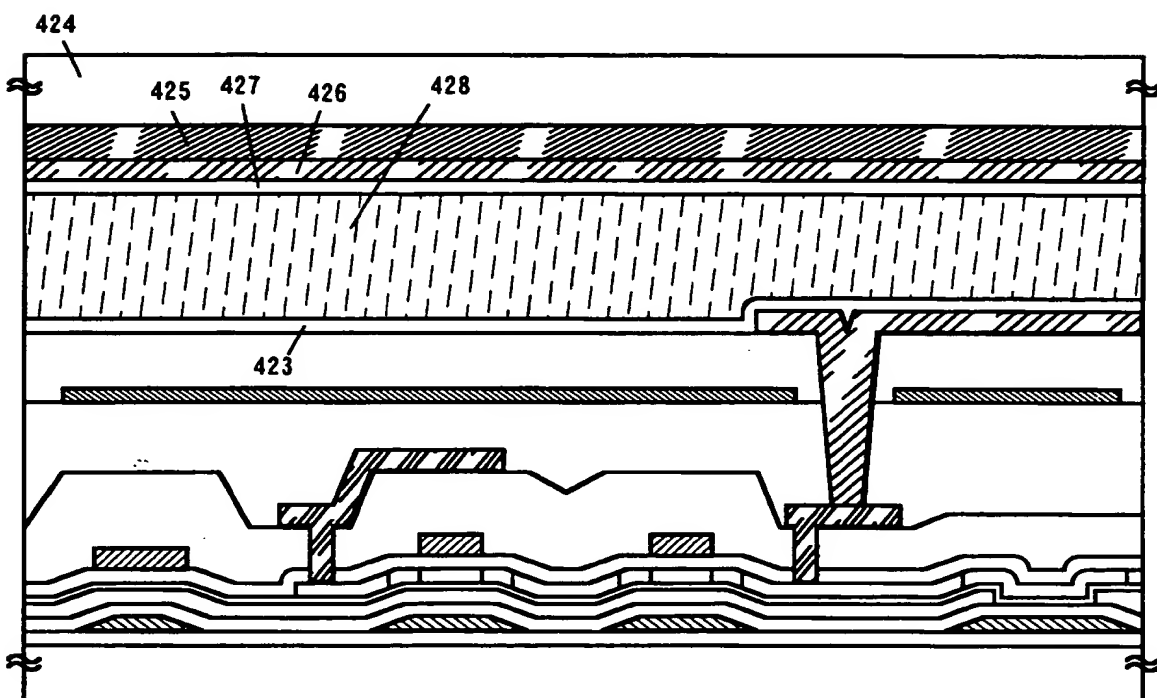
裏面露光工程、リン(n+)の添加工程



【図 5】

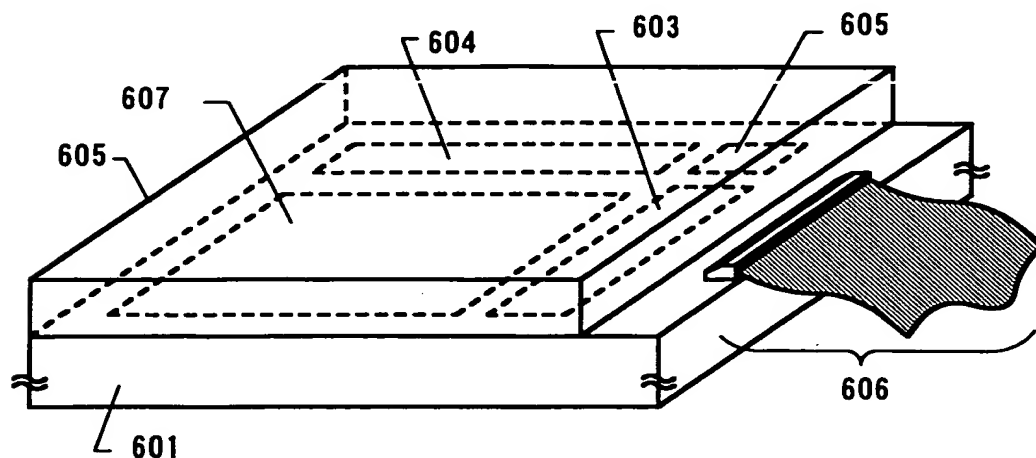


(A)



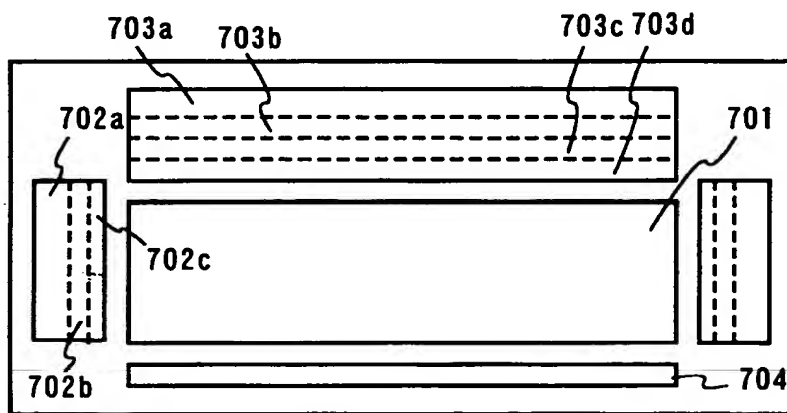
(B)

【図 6】



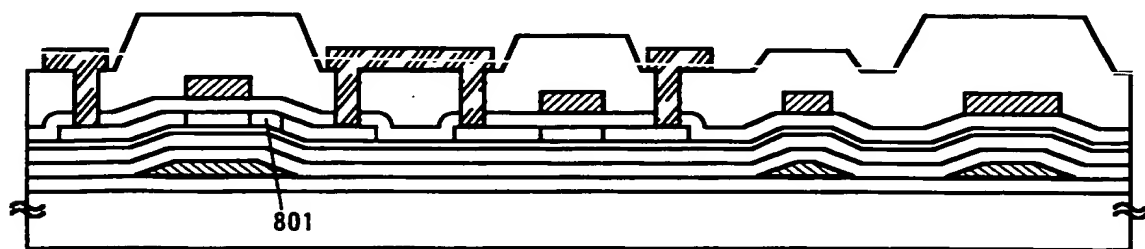
601 : 絶縁表面を有する基板 602 : 画素マトリクス回路
603 : ソースドライバ回路 604 : ゲートドライバ回路
605 : 信号処理回路 606 : FPC 607 : 対向基板

【図 7】

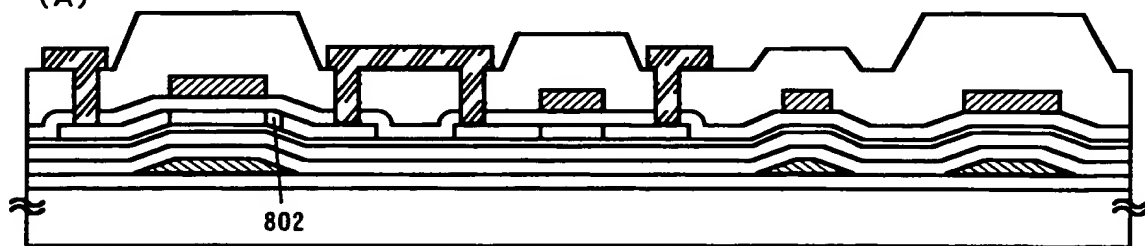


701 : 画素マトリクス回路 702a, 703a : シフトレジスタ回路
702b, 703b : レベルシフト回路 702c, 703c : バッファ回路
703d : サンプルング回路 704 : プリチャージ回路

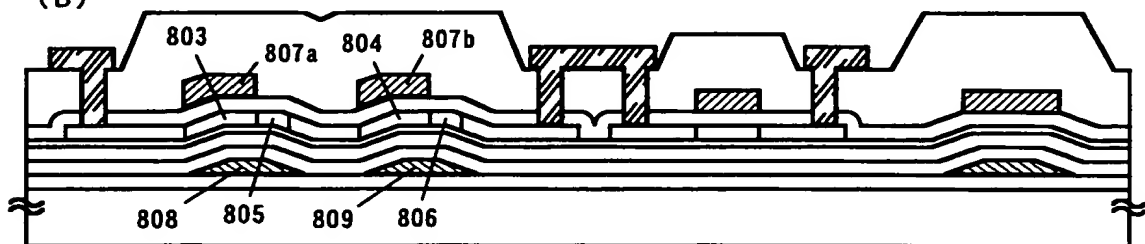
【図8】



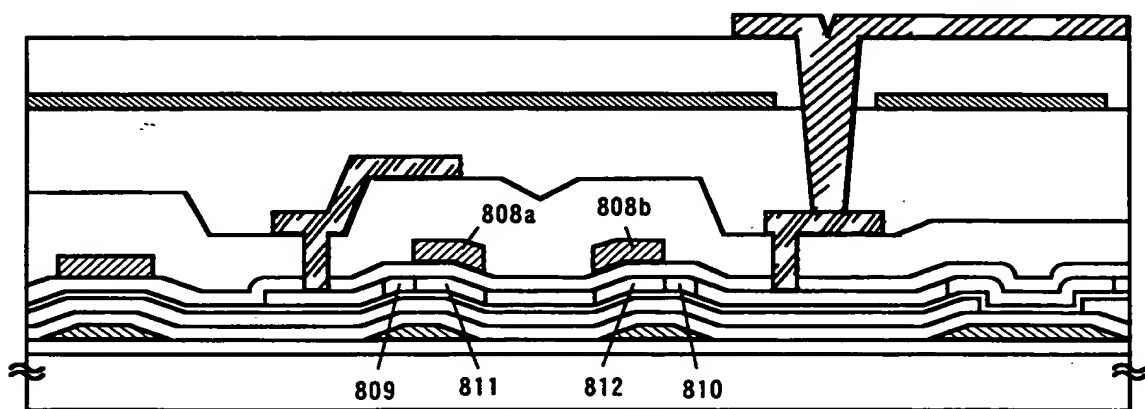
(A)



(B)

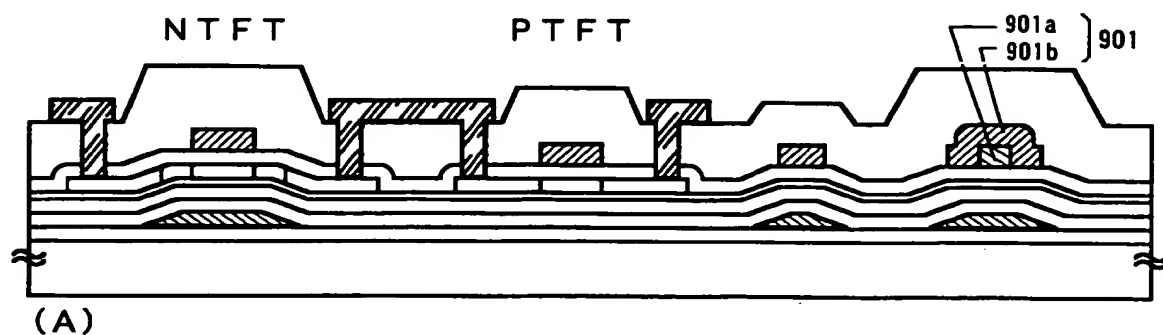


(C)

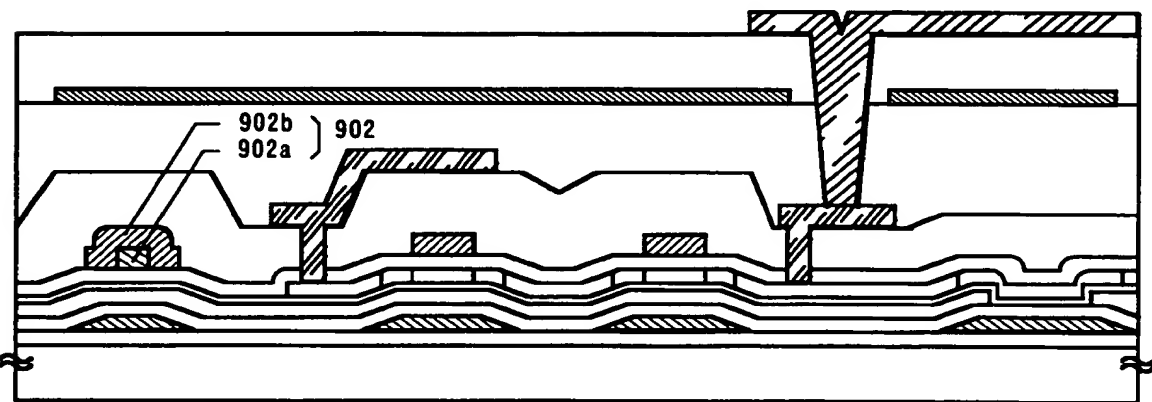


(D)

【図 9】



(A)

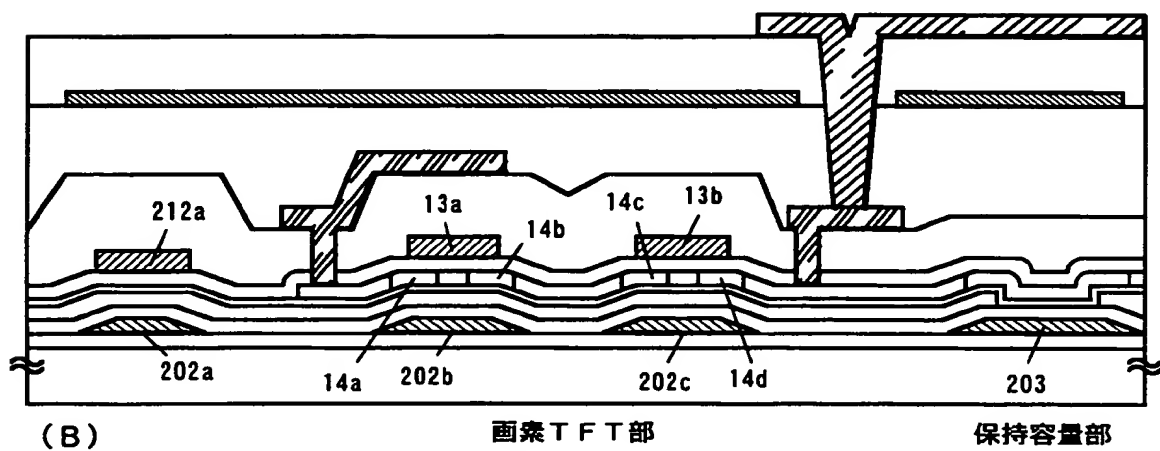
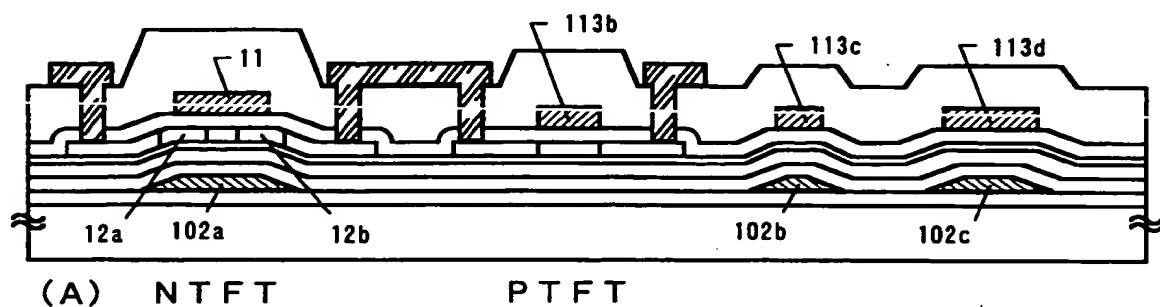


(B)

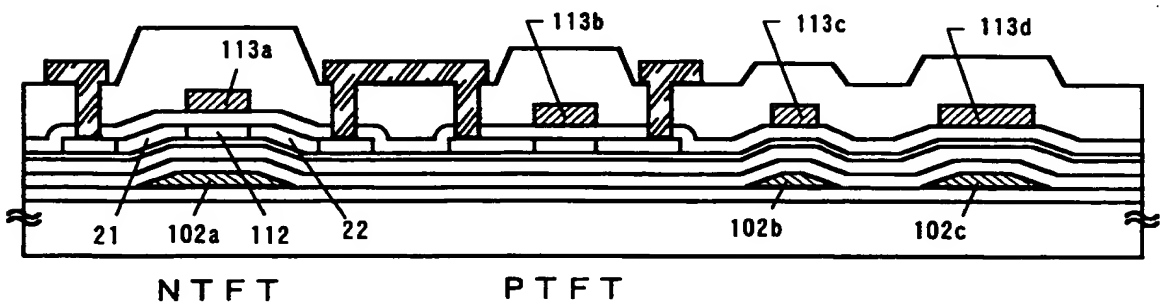
画素TFT部

保持容量部

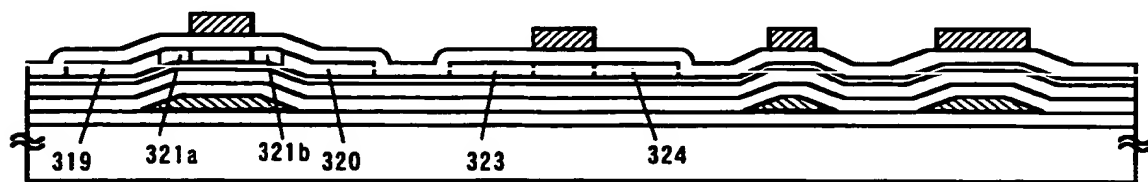
【図10】



【図11】

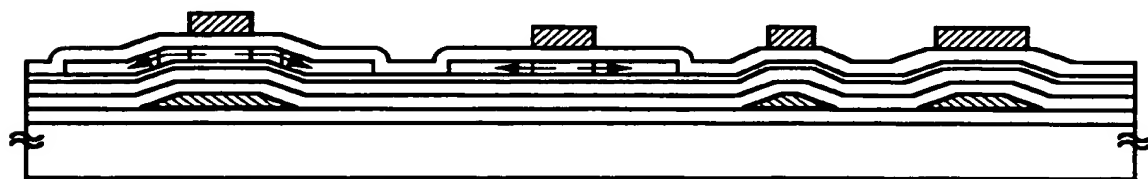


【図12】



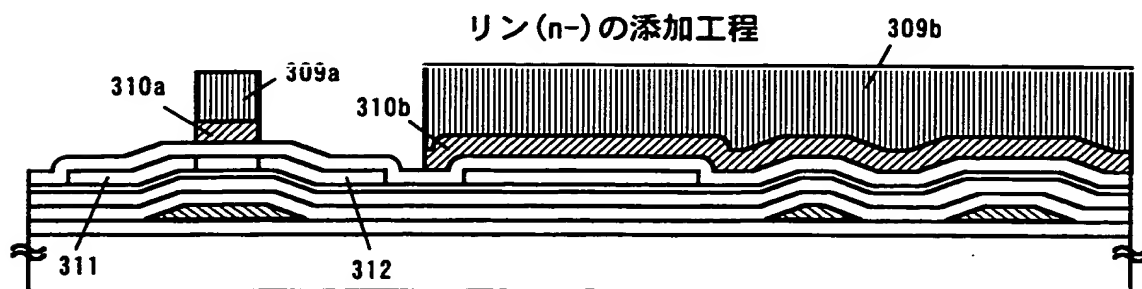
(A)

リンによるゲッターリング工程

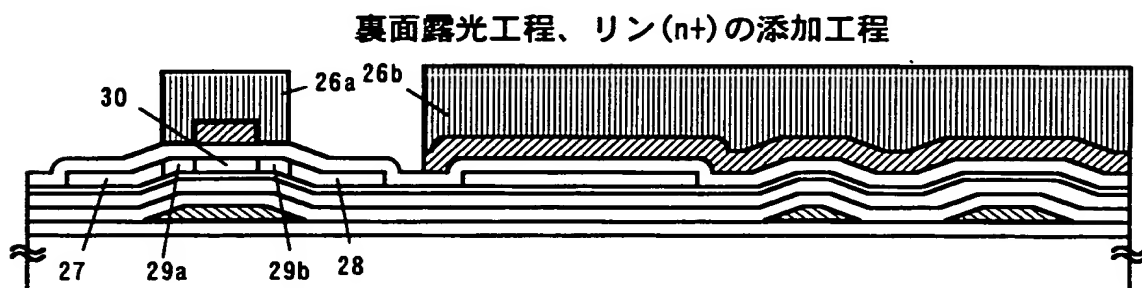


(B)

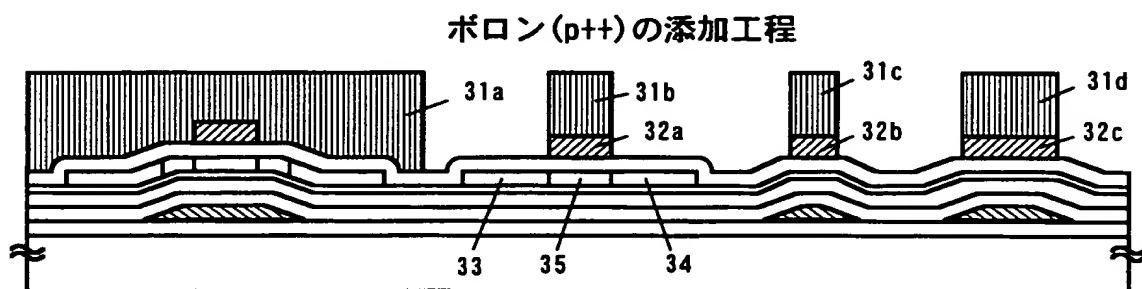
【図 1 3】



(A)

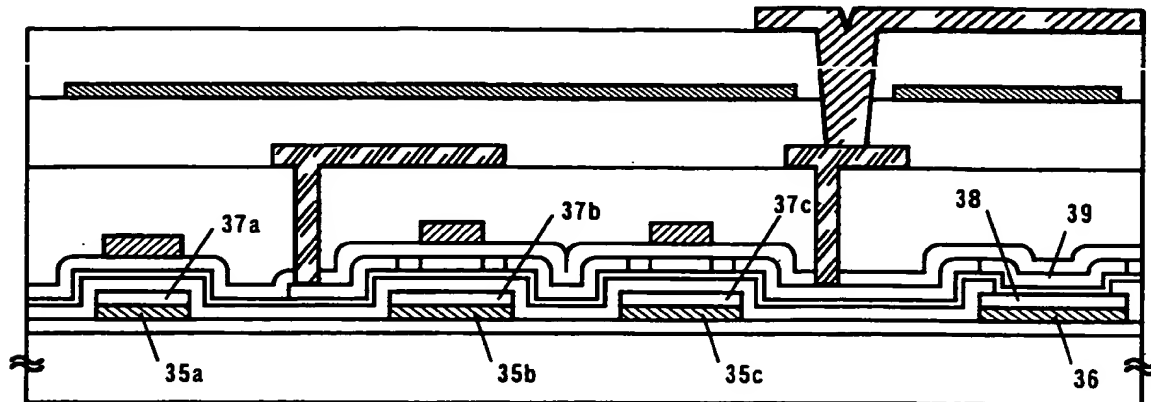


(B)



(C)

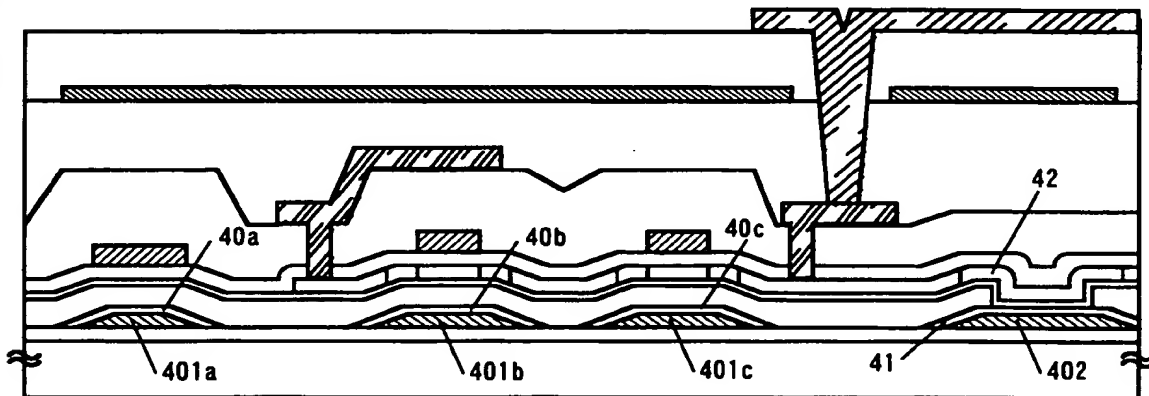
【図14】



画素TFT部

保持容量部

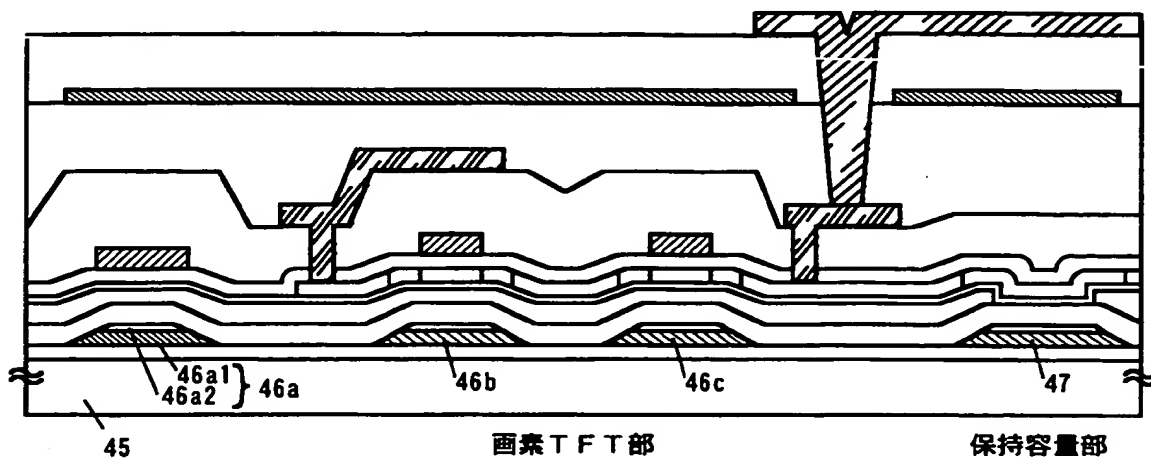
【図15】



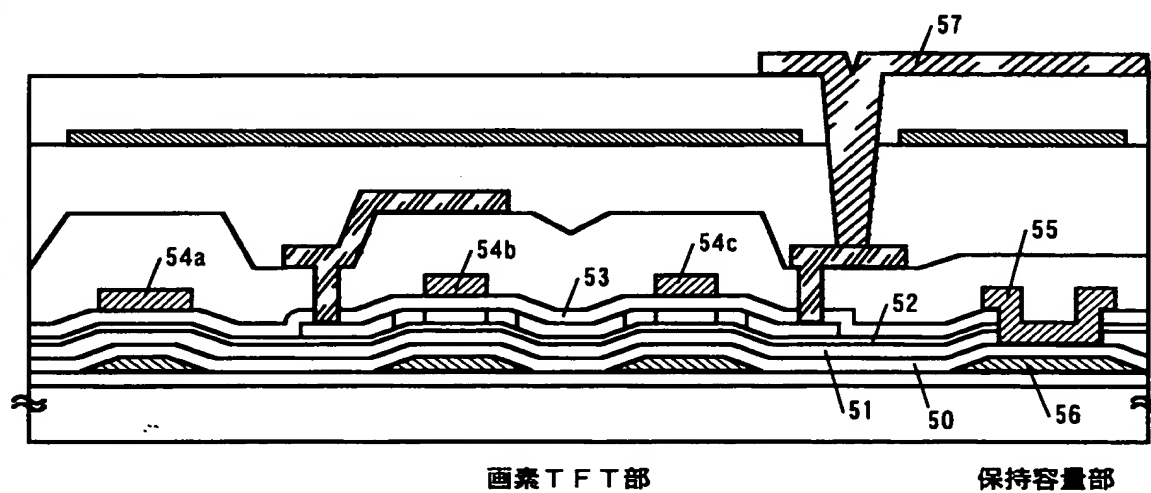
画素TFT部

保持容量部

【図16】

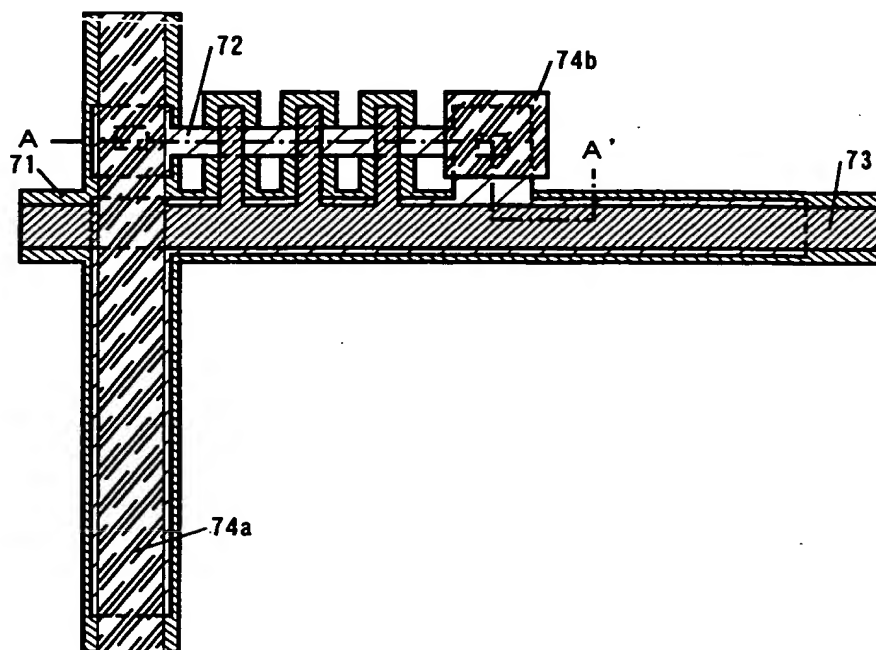


【図17】

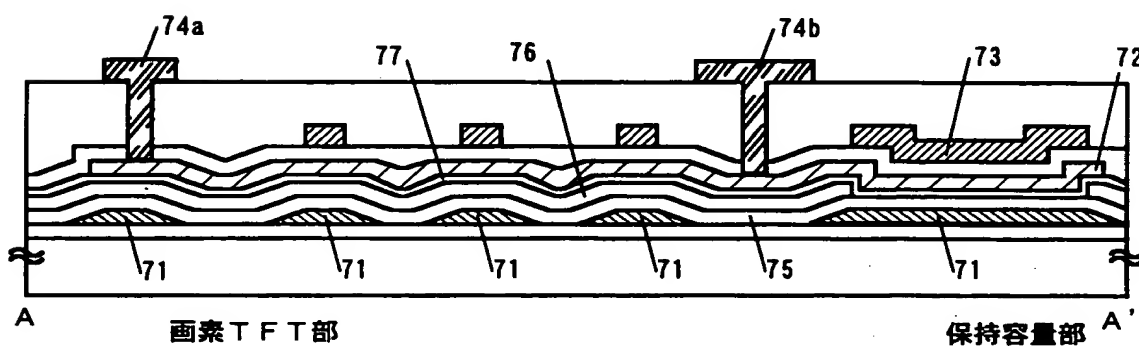




【図19】



(A)

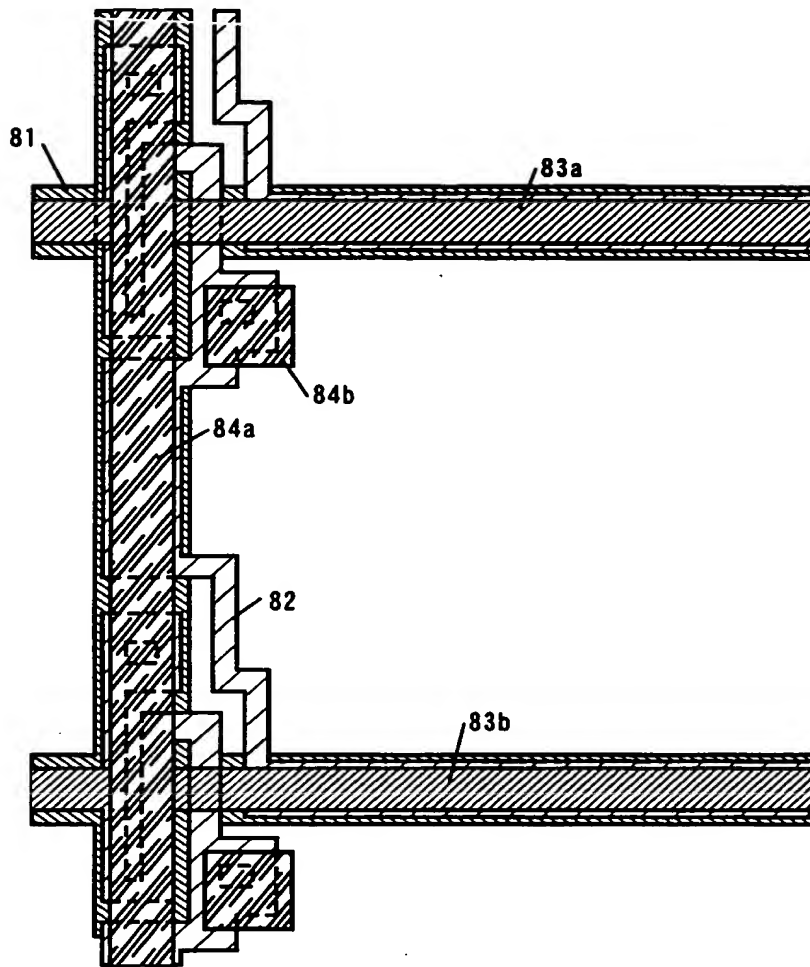


(B)

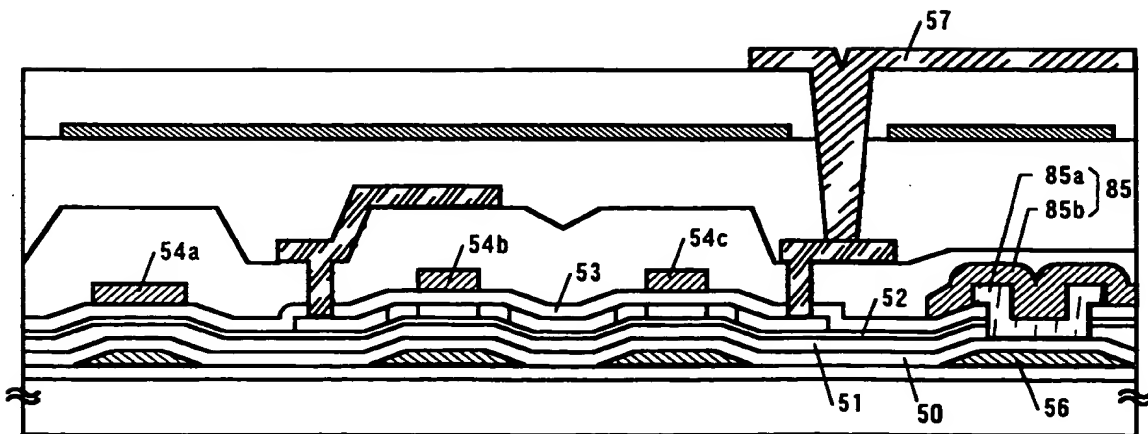
画素TFT部

保持容量部

【図20】



【図21】



画素TFT部

保持容量部

【図22】

